

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-189968

(43)Date of publication of application : 25.07.1990

(51)Int.Cl.

H01L 27/108  
H01L 27/04

(21)Application number : 01-010310

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 18.01.1989

(72)Inventor : MATSUDA JUNICHI

AZUMA KOJI

KATO TOMOKO

OTA YUTAKA

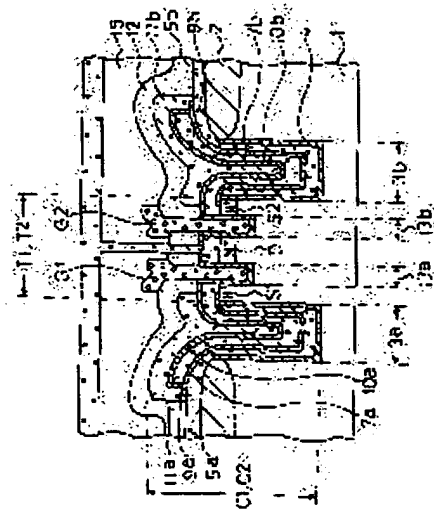
MIYAWAKI YOSHIHIKO

## (54) SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF

### (57)Abstract:

PURPOSE: To eliminate the need for isolation through a photolithographic technique on the bases of trench sections, and to double storage capacitance by forming a first storage capacitor shaped into the first trench section and a second storage capacitor formed into the second trench section.

CONSTITUTION: Storage capacitors C1, C2 are formed into first trench sections 3a, 3b holding transfer transistors T1, T2. Consequently, the first storage capacitor C1 in the first trench section 3a and the second storage capacitor C2 in the second trench section 3b can be made unrelated to the size of a distance between cells. Accordingly, a photolithographic technique having high accuracy, by which polysilicon layers on the bases of the first trench section 3a and the second trench section 3b are removed selectively, need not be used. When storage electrodes 9a, 9b are employed as common storage electrodes, storage capacitance can be doubled respectively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A) 平2-189968

⑤ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)7月25日

H 01 L 27/108  
27/04C 7514-5F  
8624-5F  
8624-5FH 01 L 27/10 3 2 5 D  
H

審査請求 未請求 請求項の数 2 (全 10 頁)

⑭ 発明の名称 半導体記憶装置及びその製造方法

⑯ 特 願 平1-10310

⑰ 出 願 平1(1989)1月18日

⑱ 発 明 者 松 田 順 一 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
 ⑱ 発 明 者 東 浩 二 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
 ⑱ 発 明 者 加 藤 知 子 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
 ⑱ 発 明 者 太 田 豊 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
 ⑱ 発 明 者 宮 脇 好 彦 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内  
 ⑲ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地  
 ⑳ 代 理 人 弁理士 西野 卓 爾 外2名

## 明 細 書

## 1. 発明の名称

半導体記憶装置及びその製造方法

## 2. 特許請求の範囲

(1) 素子分離をした半導体基板(1)に2組の溝部(3a, 3b, 13a, 13b)が分離して設けられ、

前記基板(1)の第1の溝部(3a)に設けられた第1の蓄積キャパシタ(C1)と、

前記基板(1)の第2の溝部(3b)に設けられた第2の蓄積キャパシタ(C2)と、

前記第1, 2の溝部(3a, 3b)の間の基板(1)に設けられた一対の転送トランジスタ(T1, T2)とを具備し、

前記各転送トランジスタ(T1, T2)は基板(1)に達する第3, 4の溝部(13a, 13b)に設けられたゲート電極(G1, G2)と、各溝部(3a, 3b, 13a, 13b)によって画定される半導体基板(1)の領域に設けられた第1, 2のソース(S1, S2)と、共通ドレイン(D)から成り、

前記第1の蓄積キャパシタ(C1)は、転送トラン

ジスタ(T1)のソース(S1)から延在する第1の蓄積電極(9a)と、

前記蓄積電極(9a)と、第1, 3の容量絶縁膜(7a, 10a)を介して対向する第1及び2の対向電極(5a, 11a)から成り、

前記第2の蓄積キャパシタ(C2)は、転送トランジスタ(T2)のソース(S2)から延在する第2の蓄積電極(9b)と、

前記蓄積電極(9b)と、第2, 4の容量絶縁膜(7b, 10b)を介して対向する第2及び4の対向電極(5b, 11b)から成ることを特徴とする半導体記憶装置。

(2) 半導体基板(1)の素子分離をして、第1の蓄積キャパシタ形成領域(CA1)と、転送トランジスタ形成領域(TA)と、第2の蓄積キャパシタ形成領域(CA2)とを画定する工程と、

前記第1, 2の蓄積キャパシタ形成領域(CA1, CA2)の半導体基板(1)の溝掘りをして、第1, 2の溝部(3a, 3b)を形成し、その後、第1, 2の溝部(3a, 3b)の内面に絶縁性の第1の膜(4)を形成する

工程と、

前記基板(1)の転送トランジスタ形成領域(TA)以外の領域に、選択的に導電性の第1の膜(5)を成長して、第1, 2の対向電極(5a, 5b)を形成する工程と、

前記第1, 2の対向電極(5a, 5b)の外面に第1, 2の容量絶縁膜(7a, 7b)を形成する工程と、

前記転送トランジスタ形成領域(TA)の半導体基板(1)を露出する工程と、

前記第1, 2の容量絶縁膜(7a, 7b)と、転送トランジスタ形成領域(TA)に、導電性の第2の膜(9)を成長して、第1, 2の蓄積電極(9a, 9b)を形成する工程と、

前記第1, 2の蓄積電極(9a, 9b)の外面に第3の容量絶縁膜(10)を形成する工程と、

前記容量絶縁膜(10)上に選択的に導電性の第3の膜(11)を成長して、第1, 2の対向電極(5a, 5b)に接続する第3, 4の対向電極(11a, 11b)を形成する工程と、

前記第1, 2, 3及び4の対向電極(5a, 5b, 11

a, 11b)の外面に絶縁性の第2の膜(12)を形成する工程と、

前記転送トランジスタ形成領域(TA)の第2の膜(12)を選択的に溝掘りをして、前記基板(1)に達する第3, 4の溝部(13a, 13b)を形成する工程と、

前記第3, 4の溝部(13a, 13b)にそれぞれ設けたゲート電極(G1, G2)と、前記第1の蓄積電極(5a)に接続される第1のソース(S1)と、前記第2の蓄積電極(5b)に接続される第2のソース(S2)と、ビット線(BL)に接続される共通ドレイン(D)から成る転送トランジスタ(T1, T2)を形成する工程を有することを特徴とする半導体記憶装置の製造方法。

### 3. 発明の詳細な説明

#### (イ) 産業上の利用分野

本発明は、半導体記憶装置及びその製造方法に関するものであり、更に詳しく言えば、溝掘り技術を応用した高集積、高性能のダイナミックランダクセスメモリ(DRAM)セルの構造と、そ

- 3 -

の形成方法に関するものである。

#### (ロ) 従来の技術

第3図(a), (b)は、従来例に係る説明図である。

同図(a)は、公開特許公報 特開昭63-164459に見られるような1つの溝部内に一対の蓄積電極と、その上部に一対の転送トランジスタとを構成した半導体記憶装置を示している。図において、一対の蓄積電極(C11, C12)は、P型Si基板(21)の溝部(26)内に形成された対向電極(22)と、容量絶縁膜(23)と、蓄積電極(24a, 24b)から成る。

転送トランジスタ(T11, T12)は、ゲート(G11, G12)、ソース(S11, S12)及び共通ドレイン(D)から成る。

蓄積電極(24a, 24b)と、転送トランジスタ(T11, T12)のソース(S11, S12)とは、蓄積電極(24a, 24b)の絶縁膜(25)に設けられた接続領域により接合されている。

wはセル間距離であり、一対の蓄積電極

(C11, C12)の蓄積電極(24a, 24b)間の距離である。

同図(b)は、従来例に係る半導体記憶装置の等価回路図を示している。

図において、蓄積電極(C11, C12)は、それぞれ転送トランジスタ(T11, T12)に接続され、1組のDRAMを構成する。

#### (ハ) 発明が解決しようとする課題

ところで従来例によれば、一対の蓄積電極(C11, C12)は、1つの溝部(26)内に、蓄積電極(24a)と、蓄積電極(24b)とがセル間距離wを保持した状態により設けられている。

このため半導体集積回路装置の微細化に伴って、セル間距離wを小さくすると、溝部(26)の底面のみの蓄積電極となるポリシリコン層をホトリソ技術により除去することが極めて困難となる。

また、各蓄積電極(C11)や(C12)は、蓄積電極(24a, 24b)と、対向電極(22)に挟まれた容量絶縁膜(23)から構成される。

このため、微細化と共に蓄積電極に蓄えられる電荷量も減少している。これにより、DR

- 4 -

AMのデータ記憶性能が低下するという問題点がある。

本発明は、かかる従来例の問題点に鑑み創作されたものであり、蓄積キャパシタ間の電流リークの発生を抑制し、蓄積容量を倍化させることを可能とする半導体記憶装置及びその製造方法の提供を目的とする。

## (二) 課題を解決するための手段

本発明の半導体記憶装置及びその製造方法を第1、2図に示すように、その装置は、素子分離をした半導体基板(1)に2組の溝部(3a, 3b, 13a, 13b)が分離して設けられ、

前記基板(1)の第1の溝部(3a)に設けられた第1の蓄積キャパシタ(C1)と、

前記基板(1)の第2の溝部(3b)に設けられた第2の蓄積キャパシタ(C2)と、

前記第1、2の溝部(3a, 3b)の間の基板(1)に設けられた一対の転送トランジスタ(T1, T2)とを具備し、

前記各転送トランジスタ(T1, T2)は基板(1)に連

する第3、4の溝部(13a, 13b)に設けられたゲート電極(G1, G2)と、各溝部(3a, 3b, 13a, 13b)によって画定される半導体基板(1)の領域に設けられた第1、2のソース(S1, S2)と、共通ドレイン(D)から成り、

前記第1の蓄積キャパシタ(C1)は、転送トランジスタ(T1)のソース(S1)から延在する第1の蓄積電極(9a)と、

前記蓄積電極(9a)と、第1、3の容量絶縁膜(7a, 10a)を介して対向する第1及び2の対向電極(5a, 11a)から成り、

前記第2の蓄積キャパシタ(C2)は、転送トランジスタ(T2)のソース(S2)から延在する第2の蓄積電極(9b)と、

前記蓄積電極(9b)と、第2、4の容量絶縁膜(7b, 10b)を介して対向する第2及び4の対向電極(5b, 11b)から成ることを特徴とし、

半導体基板(1)の素子分離をして、第1の蓄積キャパシタ形成領域(CA1)と、転送トランジスタ形成領域(TA)と、第2の蓄積キャパシタ形成領域

- 7 -

(CA2)とを画定する工程と、

前記第1、2の蓄積キャパシタ形成領域(CA1, CA2)の半導体基板(1)の溝掘りをして、第1、2の溝部(3a, 3b)を形成し、その後、第1、2の溝部(3a, 3b)の内面に絶縁性の第1の膜(4)を形成する工程と、

前記基板(1)の転送トランジスタ形成領域(TA)以外の領域に、選択的に導電性の第1の膜(5)を成長して、第1、2の対向電極(5a, 5b)を形成する工程と、

前記第1、2の対向電極(5a, 5b)の外面に第1、2の容量絶縁膜(7a, 7b)を形成する工程と、

前記転送トランジスタ形成領域(TA)の半導体基板(1)を露出する工程と、

前記第1、2の容量絶縁膜(7a, 7b)と、転送トランジスタ形成領域(TA)に、導電性の第2の膜(9)を成長して、第1、2の蓄積電極(9a, 9b)を形成する工程と、

前記第1、2の蓄積電極(9a, 9b)の外面に第3の容量絶縁膜(10)を形成する工程と、

- 9 -

- 8 -

前記容量絶縁膜(10)上に選択的に導電性の第3の膜(11)を成長して、第1、2の対向電極(5a, 5b)に接続する第3、4の対向電極(11a, 11b)を形成する工程と、

前記第1、2、3及び4の対向電極(5a, 5b, 11a, 11b)の外面に絶縁性の第2の膜(12)を形成する工程と、

前記転送トランジスタ形成領域(TA)の第2の膜(12)を選択的に溝掘りをして、前記基板(1)に達する第3、4の溝部(13a, 13b)を形成する工程と、

前記第3、4の溝部(13a, 13b)にそれぞれ設けたゲート電極(G1, G2)と、前記第1の蓄積電極(5a)に接続される第1のソース(S1)と、前記第2の蓄積電極(5b)に接続される第2のソース(S2)と、ビット線(BL)に接続される共通ドレイン(D)から成る転送トランジスタ(T1, T2)を形成する工程を有することを特徴とし、上記目的を達成する。

## (\*) 作用

本発明によれば蓄積キャパシタ(C1, C2)は、転

送トランジスタ(T1,T2)の挟間した第1の溝部(3a,3b)に設けられている。

このため第1の溝部(3a)の第1の蓄積キャパシタ(C1)と、第2の溝部(3b)の第2の蓄積キャパシタ(C2)とは、従来のようなセル間距離の大小に無関係とすることができる。

これにより、第1の溝部(3a)および第2の溝部(3b)の底面のポリシリコン層を選択的に除去する極めて高精度のホトリソ技術を使用する必要がなくなる。

また、本発明によれば、第1,2の蓄積キャパシタ(C1,C2)は、それぞれ、蓄積電極(9a,9b)を共通蓄積電極とすれば、対向電極(5a,5b)と容量絶縁膜(7a,7b)により蓄積キャパシタ(C01,C03)を形成することができる。また、対向電極(11a,11b)と、容量絶縁膜(10a,10b)により蓄積キャパシタ(C02,C04)を形成することができる。

これにより、転送トランジスタ(T1)に接続された第1の蓄積キャパシタ(C1)は、蓄積キャパシタ(C01+C03)、第2の蓄積キャパシタ(C2)は蓄積

キャパシタ(C02+C04)とすることができ、従来の半導体記憶装置の構造に比べて、蓄積容量をそれぞれ2倍にすることが可能となる。

さらに、本発明の方法によれば、第1,2の蓄積電極(9a,9b)と、共通ドレイン(D)の引出電極とは、導電性の第2の膜(9)を第3,4の溝部(13a,13b)の形成によって、自動的に分離することができる。

これにより、形成工程の省略化を図ることが可能となる。

#### (ハ) 実施例

次に図を参照しながら本発明の実施例について説明する。

第1,2図は、本発明の実施例に係る半導体記憶装置及びその製造方法を説明する図であり、第1図(a),(b)は、本発明の実施例の半導体記憶装置に係る説明図を示している。

同図(a)は、その構造を示す断面図である。図において、(C1,C2)は蓄積キャパシタであり、フィールド絶縁膜(2)により素子分離されたP型

- 11 -

Si基板(1)の溝部(3a,3b)に設けられている。溝部(3a,3b)は、転送トランジスタ(T1,T2)を挟間して配置されている。

蓄積キャパシタ(C1)は、内面にSiO<sub>2</sub>膜(4)が形成された溝部(3a)において、対向電極(5a)と、容量絶縁膜(7a)と、転送トランジスタ(T1)のソース(S1)から延在する蓄積電極(9a)から成る蓄積キャパシタ(C01)と、蓄積電極(9a)を共通にし、容量絶縁膜(10a)と、対向電極(11a)から成る蓄積キャパシタ(C03)から構成されている。

また、蓄積キャパシタ(C2)は、同様に内面にSiO<sub>2</sub>膜(4)が形成された溝部(3b)において、対向電極(5b)と、容量絶縁膜(7b)と、転送トランジスタ(T2)のソース(S2)から延在する蓄積電極(9b)から成る蓄積キャパシタ(C02)と、蓄積電極(9b)を共通にし、容量絶縁膜(10b)と、対向電極(11b)から成る蓄積キャパシタ(C04)から構成されている。

(T1,T2)は、転送トランジスタであり、蓄積キャパシタ(C1)と(C2)との間の領域に設けられている。また、転送トランジスタ(T1,T2)は、絶縁

- 12 -

膜(12,15)、共通ドレイン(D)の引出電極を貫き、P型Si基板(1)に達する溝部(13a,13b)にゲート電極(G1,G2)を具備している。

各転送トランジスタ(T1,T2)のソース(S1,S2)、及び共通ドレイン(D)は、溝部(13a,13b)の周辺のP型Si基板(1)の表面領域に不純物を拡散して形成されている。ゲート(G1,G2)は、それぞれワード線に接続され、ソース(S1,S2)は、それぞれの蓄積キャパシタ(C1,C2)の蓄積電極(7a,7b)に接続され、共通ドレイン(D)は、ビット線(BL)に接続されている。

同図(b)は、本発明の実施例の半導体記憶装置の等価回路図を示している。

図において、蓄積キャパシタ(C1)は、蓄積キャパシタ(C01)と(C03)とにより、並列接続される。また蓄積キャパシタ(C2)は、蓄積キャパシタ(C02)と(C04)とにより、並列接続される。

これにより、従来に比べて蓄積容量の増大を図ることができる。

第2図(a)~(i)は、本発明の実施例に係る半導

体記憶装置の形成工程図である。

図において、まず、選択LOCOS法によりP型Si基板(1)を熱酸化して、フィールド酸化膜(2)を形成する。これにより、第1の蓄積キャパシタ形成領域(CA1)、転送トランジスタ形成領域(TA)及び第2の蓄積キャパシタ形成領域(CA2)を画定する(同図(a))。

次に、溝掘り技術により、両蓄積キャパシタ形成領域(CA1, CA2)のP型Si基板(1)を除去して、深さ4( $\mu\text{m}$ )程度の溝部(3a, 3b)を形成する。その後、溝部(3a, 3b)の内面に膜厚2000( $\text{\AA}$ )程度のSiO<sub>2</sub>膜(4)を形成する(同図(b))。

次いで、溝部(3a, 3b)を形成したP型Si基板(1)の全面に減圧CVD法により膜厚1500( $\text{\AA}$ )程度のポリSi膜(5)を成長する。その後POCl<sub>3</sub>を用いてリンを拡散して、ポリSi膜(5)の活性化をする。次に、転送トランジスタ形成領域(TA)以外にレジスト膜(6a, 6b)を形成して、ポリSi膜(5)のパターニングをする(同図(c))。

その後、ポリSi膜(5)をパターニングした対向

電極(5a)上にSiO<sub>2</sub>膜/Si<sub>3</sub>N<sub>4</sub>膜から成る第1の容量絶縁膜(7)を形成する。次に、各蓄積キャパシタ形成領域(CA1, CA2)にレジスト膜(8a, 8b)を形成し、容量絶縁膜(7)を選択的に除去する。除去方法は、ウェットエッチング方法により行なう。SiO<sub>2</sub>膜に対しては、HF(フッ酸)系の水溶液、Si<sub>3</sub>N<sub>4</sub>膜に対しては、ホットリン酸の水溶液により行なう。これにより、転送トランジスタ形成領域(TA)のP型Si基板(1)が露出し、第1の蓄積キャパシタ形成領域(CA1)に容量絶縁膜(7a)、第2の蓄積キャパシタ形成領域(CA2)に容量絶縁膜(7b)が形成される(同図(d))。

さらに、容量絶縁膜(7a, 7b)と、転送トランジスタ形成領域(TA)を露出したP型Si基板(1)の全面に、減圧CVD法により膜厚1500( $\text{\AA}$ )程度のポリSi膜(9)を成長する。その後、ポリSi膜(9)にPOCl<sub>3</sub>を用いて拡散する。その後熱処理してポリSi膜(9)が活性化される。

次いで、活性化したポリSi膜(9)をパターニングする。これにより、後の蓄積電極(9a, 9b)と、

共通ドレイン(D)の引出電極が形成される。その後ポリSi膜(9)の外面にSiO<sub>2</sub>膜/Si<sub>3</sub>N<sub>4</sub>膜からなる第2の容量絶縁膜(10)を形成する。次いで、レジスト膜をマスクにして、対向電極(5a, 5b)上の一部の容量絶縁膜(10)を選択的に除去する(同図(e))。

次いで、容量絶縁膜(10)を形成したP型Si基板(1)に、減圧CVD法により膜厚1500( $\text{\AA}$ )程度のポリSi膜(11)を形成する。その活性化をして、レジスト膜をマスクにして、ポリSi膜(11)をパターニングする。このとき、溝部(3a)の容量絶縁膜(10)上には対向電極(11a)が形成される。同様に溝部(3b)の容量絶縁膜(10)上には、対向電極(11b)が形成される。また、対向電極(11a, 11b)と、対向電極(5a, 5b)とは、このときに接合される(同図(f))。なおP型Si基板(1)表面にはポリSi膜(9)よりリンが拡散されたN<sup>+</sup>型不純物領域が形成されている。

次に、対向電極(5a, 5b, 11a, 11b)上にHTO(High Temperature Oxide)膜又は減圧CVD法による

SiO<sub>2</sub>膜(12)を形成する。その後、転送トランジスタ形成領域(TA)のHTO膜(12)上にレジスト膜をパターニングする。そして、溝掘り技術によりHTO膜(12)、容量絶縁膜(10)、及びポリSi膜(9)を貫き、P型Si基板(1)に達する一対の溝部(13a, 13b)を形成する。溝部(13a, 13b)の深さは、P型Si基板(1)から0.6( $\mu\text{m}$ )程度とする。このとき、容量絶縁膜(10)は、各蓄積キャパシタ形成領域(CA1, CA2)に分割される(同図(g))。

その後、溝部(13a, 13b)の底面に膜厚200( $\text{\AA}$ )程度のゲート酸化膜(14)を形成する。前処理として、溝部(13a, 13b)にダミー酸化膜を形成し、それを介して閾値電圧調整のイオン注入処理をしても良い。次に、ポリSi膜を溝部(13a, 13b)に形成し、その後パターニングして、ゲート電極(G1, G2)を形成する(同図(h))。

その結果、蓄積電極(9a)に接続されるソース(S1)と、蓄積電極(9b)と接続されるソース(S2)と、共通ドレイン(D)を設けた転送トランジスタ(T1, T2)が形成される(同図(i))。

これ等の形成工程と、ゲート電極(G1,G2)を延在したワード線上を絶縁し、その後共通ドレイン(D)にビット線(BL)を形成する工程とを経ることにより、第1図(a)に示すような構造の半導体記憶装置を製造することができる。

このようにして、蓄積キャパシタ(C1,C2)は、転送トランジスタ(T1,T2)の挟間した第1の溝部(3a,3b)に設けられている。

このため第1の溝部(3a)の第1の蓄積キャパシタ(C1)と、第2の溝部(3b)の第2の蓄積キャパシタ(C2)とは、従来のようなセル間距離wの大小に無関係とすることができる。

これにより、従来のような第1の蓄積電極(9a)と第2の蓄積電極(9b)間の溝部底面でのホトリソ技術による分離が不要となる。

また、本発明によれば、第1,2の蓄積キャパシタ(C1,C2)は、それぞれ、蓄積電極(9a,9b)を共通蓄積電極とすれば、対向電極(5a,5b)と容量絶縁膜(7a,7b)により形成される蓄積キャパシタ(C01,C02)と、対向電極(11a,11b)と、容量絶縁膜(10

a,10b)により形成される蓄積キャパシタ(C03,C04)とにより構成することができる。

これにより、転送トランジスタ(T1)に接続される第1の蓄積キャパシタ(C1)は、蓄積キャパシタ(C01+C03)、第2の蓄積キャパシタ(C2)は蓄積キャパシタ(C02+C04)とすることができ、従来の半導体記憶装置の構造に比べて、該装置の縮小化をしても常に蓄積容量をそれぞれ2倍にすることが可能となる。

さらに、第1,2の蓄積電極(9a,9b)と、共通ドレイン(D)の引出電極とは、ポリSi膜(9)を溝部(13a,13b)の形成によって、自動的に分離することができる。

これにより、形成工程の省略化を図ることが可能となる。

#### (ト) 発明の効果

以上説明したように本発明によれば、従来のようなセル間距離に無関係に2つの溝部に分離して、それぞれの蓄積キャパシタを形成することができる。

- 19 -

- 20 -

このため、従来のような蓄積キャパシタ間の溝部底面でのホトリソ技術による分離を不要にできる。

また、本発明によれば、従来に比べて蓄積容量を2倍にすることができる。

これにより、高集積、高性能の半導体記憶装置を製造することが可能となる。

#### 4. 図面の簡単な説明

第1図(a),(b)は、本発明の実施例の半導体記憶装置に係る断面図および等価回路図、第2図(a)~(i)は、本発明の実施例に係る半導体記憶装置の形成工程を説明する断面図、第3図(a),(b)は、従来例に係る半導体記憶装置の断面図および等価回路図である。

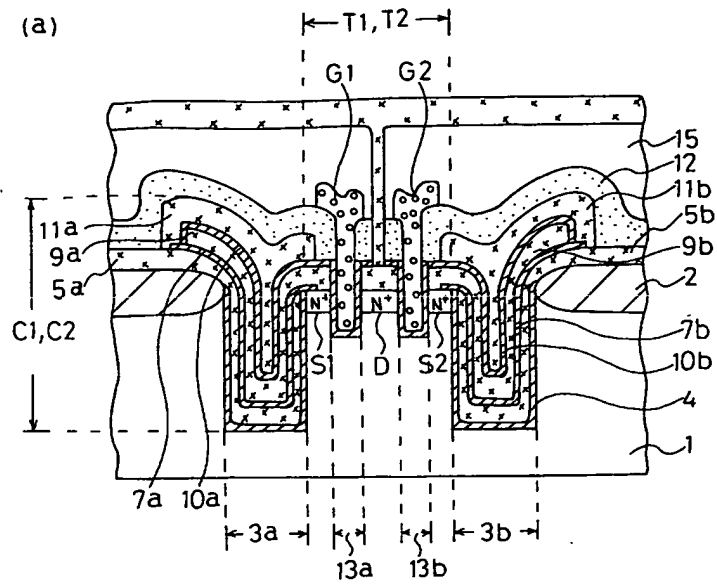
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 外2名



第 1 図

(a)



C1, C2: 蓄積キャパシタ

3a 3b: 溝部

D : 共通ドレイン

4 : SiO<sub>2</sub>膜

G1, G2: ゲート

5b } 灯向電極

S1, S2: ソース

7b } 容量絶縁膜

T1, T2: 転送トランジスタ

9b : 蓄積電極

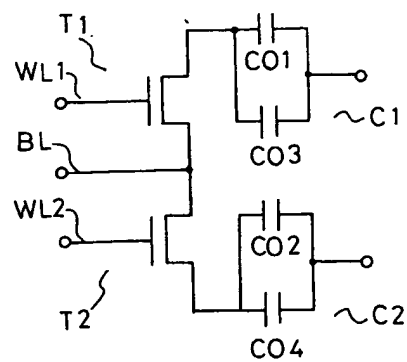
1 : P型Si基板

12 } 絶縁膜

2 : フィールド絶縁膜

第 1 図

(b)

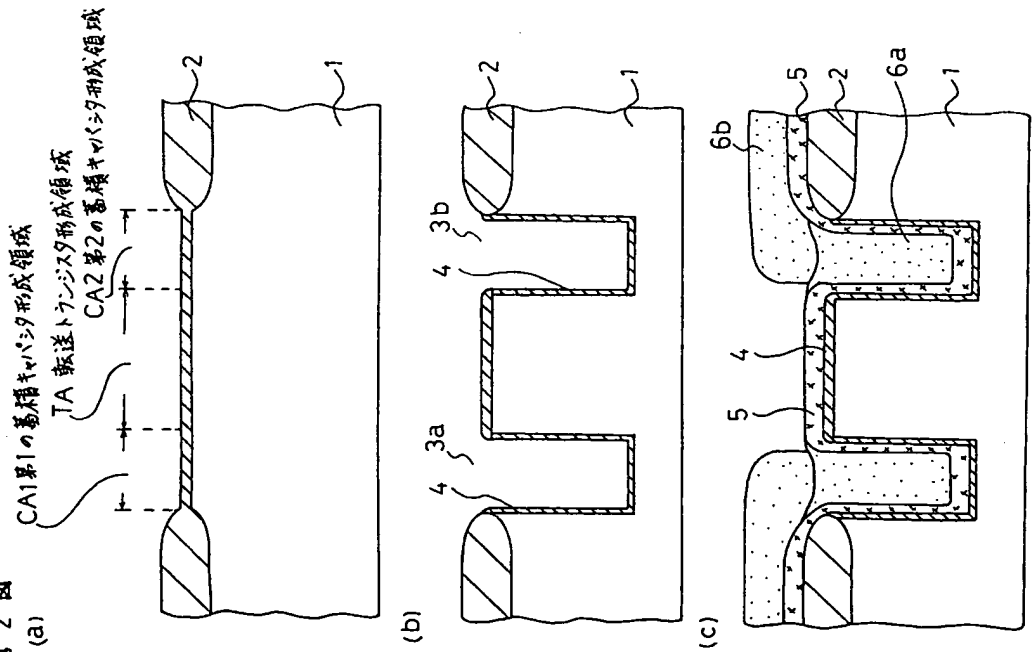


BL : ビット線

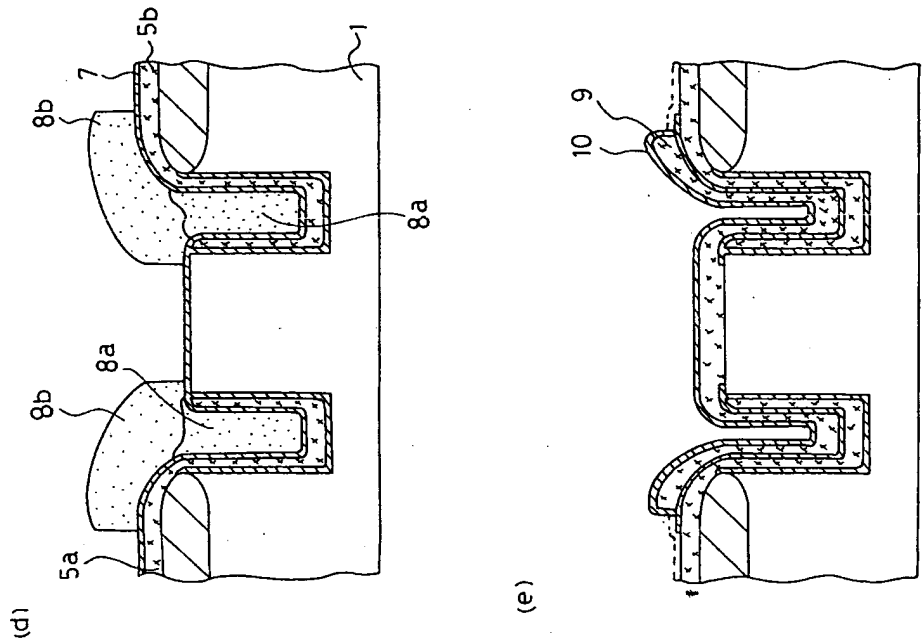
T1, T2 : 転送トランジスタ

WL1, WL2: ワード線

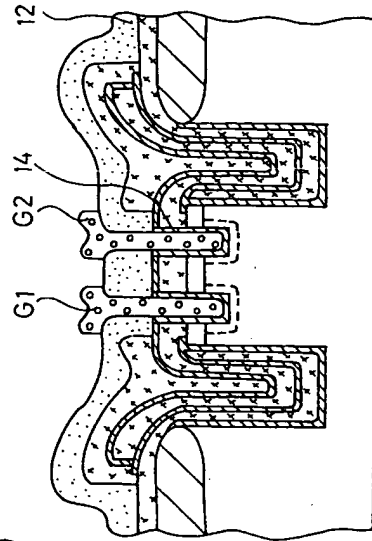
第 2 図



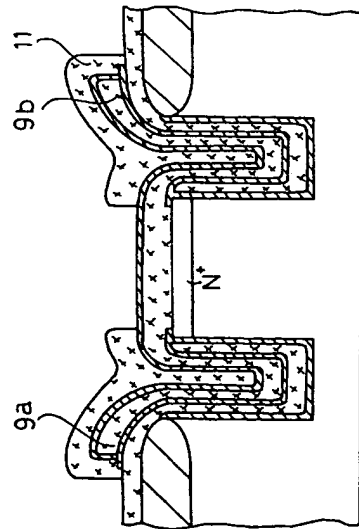
第 2 図



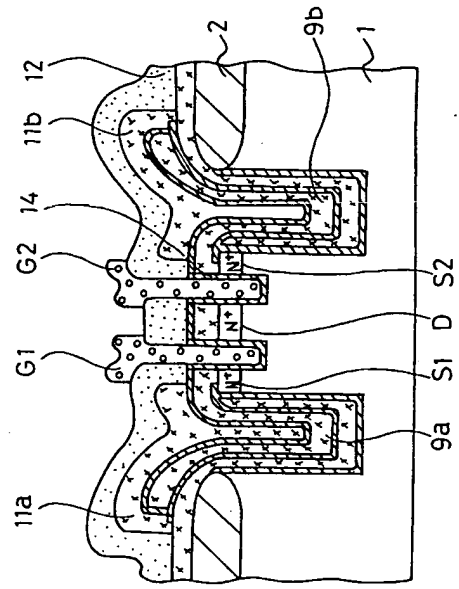
第 2 圖  
(h)



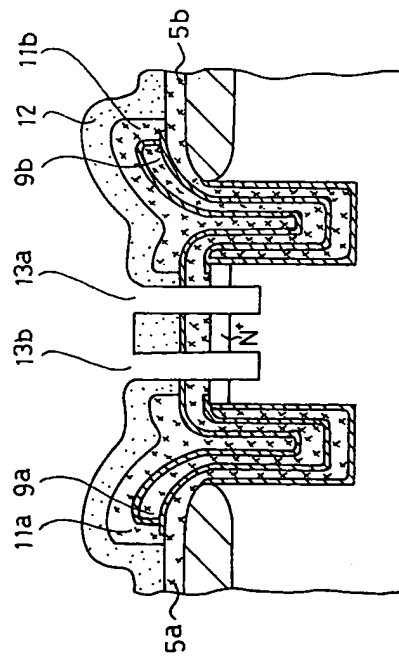
第 2 圖  
(f)



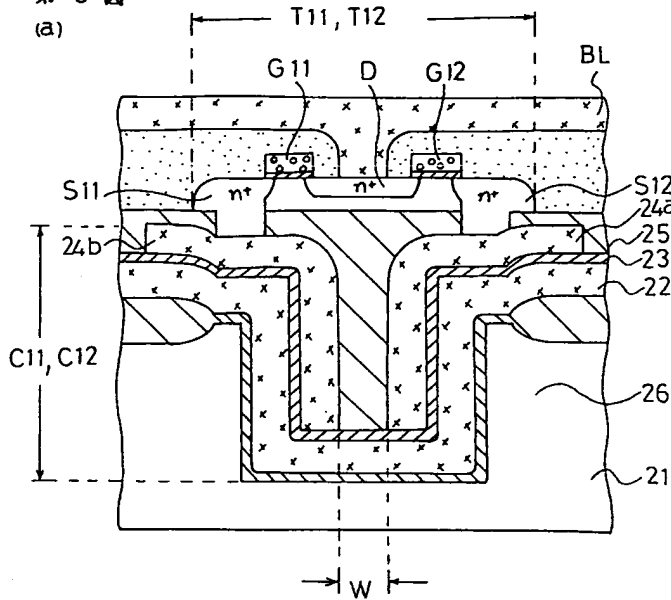
(i)



(g)



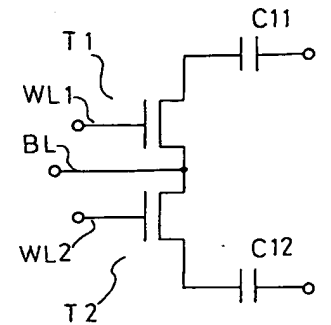
第 3 図  
(a)



C11, C12: 蓄積キャパシタ  
D : ドレイン  
G11, G12: ゲート  
BL : ビット線  
S11, S12: ソース  
T11, T12: 転送トランジスタ  
W : セル間距離

21 : P型Si基板  
22 : 封向電極  
23 : 容量絶縁膜  
24a: 蓄積電極  
25 : 絶縁膜  
26 : 溝部

第 3 図  
(b)



BL : ビット線  
T1, T2 : 転送トランジスタ  
WL1, WL2 : ワード線